

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 1 4 日
Date of Application:

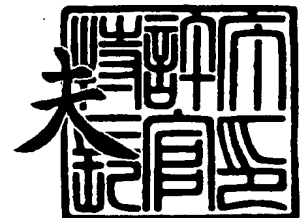
出 願 番 号 特 願 2 0 0 3 - 1 3 5 6 0 0
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 3 5 6 0 0]

出 願 人 沖 電 気 工 業 株 式 会 社
Applicant(s):

2 0 0 3 年 9 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 0G004776

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/02

【発明者】

 【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会
社内

 【氏名】 黒木 浩二

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【代理人】

 【識別番号】 100089093

 【弁理士】

 【氏名又は名称】 大西 健治

【手数料の表示】

 【予納台帳番号】 004994

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9720320

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 フューズ検出回路

【特許請求の範囲】

【請求項 1】 電源電位とノードAとの間にソース及びドレインが接続され、ゲートに制御信号が接続された第 1 のPMOSトランジスタ (P3) と、
前記ノードAに一端aが接続され、他端bが第 1 のNMOSトランジスタ (N4) のドレインに接続されたヒューズ取り付け部と、
前記他端bと接地電位との間にドレイン及びソースが接続され、ゲートに前記制御信号が接続された第 1 のNMOSトランジスタ (N4) と、
前記電源電位と出力ノードBとの間にソース及びドレインが接続され、ゲートに前記制御信号が接続された第 2 のPMOSトランジスタ (P4) と、
前記ノードBに一端が接続され、他端が第 2 のNMOSトランジスタ (N5) のドレインに接続された基準抵抗と、
前記基準抵抗の他端と接地電位との間にドレイン及びソースが接続され、ゲートに制御信号が接続された第 2 のNMOSトランジスタ (N5) と、
前記電源電位とノードCとの間に直列接続されたPMOSトランジスタ (P2) 及びNMOSトランジスタ (N2) により構成され、そのゲートが共通接続されて前記ノードAに接続された第 1 のインバータ回路と、
前記電源電位とノードCとの間に直列接続されたPMOSトランジスタ (P1) 及びNMOSトランジスタ (N1) により構成され、そのゲートが共通接続されて前記ノードBに接続された第 2 のインバータ回路と、
前記ノードCと接地電位との間にドレイン及びソースが接続され、ゲートに前記制御信号が接続された第 3 のNMOSトランジスタ (N3) と、
を備え、前記制御信号を初期状態において所定レベルに設定することにより前記ノードA,Bをプリチャージし、その後前記制御信号のレベルを変化させた時の前記ノードBの電位レベルにより、前記ヒューズ取り付け部に取り付けられたヒューズの溶断状態を検出することを特徴とするヒューズ検出回路。

【請求項 2】 前記ヒューズ取り付け部の端子bと前記第 1 のNMOSトランジスタ (N4) との間にNMOSトランジスタ (N6) を、また、前記基準抵抗の他端と第 2 の

NMOSトランジスタの間にNMOSトランジスタ(N7)とを更に設け、これらのトランジスタN6及びN7のゲート電位を前記ノードA,Bの電位に基づいて制御することを特徴とする請求項1記載のフューズ検出回路。

【請求項3】 電源電位とノードAとの間にソース及びドレインが接続され、ゲートに制御信号が接続された第1のPMOSトランジスタ(P3)と、

前記電源電位とノードBとの間にソース及びドレインが接続され、ゲートに前記制御信号が接続された第2のPMOSトランジスタ(P4)と、

前記電源電位とノードCとの間に直列接続されたPMOSトランジスタ(P1)及びNMOSトランジスタ(N1)により構成され、そのゲートが共通接続されて出力ノードBに接続された第1のインバータ回路と、

前記電源電位と前記ノードDとの間に直列接続されたPMOSトランジスタ(P2)及びNMOSトランジスタ(N2)により構成され、そのゲートが共通接続されて前記ノードAに接続された第2のインバータ回路と、

前記ノードCに一端aを接続し、他端bをノードEに接続したフューズ取り付け部と、

前記ノードDに一端を接続し、他端をノードEに接続した基準抵抗と、

前記ノードEと接地電位との間にドレイン及びソースが接続され、ゲートに前記制御信号が接続された第1のNMOSトランジスタ(N3)と、

を備え、前記制御信号を初期状態において所定レベルに設定することにより前記ノードA,Bをプリチャージし、その後前記制御信号のレベルを変化させた時の前記ノードBの電位レベルにより、前記フューズ取り付け部に取り付けられたフューズの溶断状態を検出することを特徴とするフューズ検出回路。

【請求項4】 前記基準抵抗の抵抗値は、前記フューズ取り付け部に取り付けられたフューズの未切断時の抵抗値の2倍以上としたことを特徴とする請求項1～3のいずれか1項記載のフューズ検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体装置、特にフューズ検出回路に関する。

【 0 0 0 2 】**【従来の技術】**

一般に、フューズ検出回路においては、導電体で構成されたフューズを用いて、レーザーにて切断するか否で状態を記憶し検出回路で記憶状態を読み出す方法が用いられている。フューズの寸法はレーザー装置の精度で決定され、安定した高い歩留りを実現するために 1 0 0 % 切断可能な設定（実績のある寸法）にする傾向にある。

【 0 0 0 3 】**【発明が解決しようとする課題】**

しかしながら、前述の寸法の決定の方法では、レーザー装置の能力を 1 0 0 % 引出せていないという問題点があり、また、レーザー装置能力に合わせて寸法を設定した場合、プロセスのバラツキにより一部分だけ溶断され場合があるため、従来の検出回路では開放とも短絡とも検出されず、論理出力が不定となり回路が誤動作するといった問題があった。

【 0 0 0 4 】

類似の課題に関連するその他の従来技術として、以下の様な文献がある。

【特許文献 1】

特開 2 0 0 1 - 1 3 2 2 4 号公報

【特許文献 2】

特開 1 0 - 6 2 4 7 7 号公報

【 0 0 0 5 】

この発明は、前記従来の問題点を解決し、回路が誤動作することのないフューズ検出回路を提供することを目的とする。

【 0 0 0 6 】**【課題を解決するための手段】**

上記課題を解決する為に、本発明の第 1 の観点においては、電源電位とノード A との間にソース及びドレインが接続され、ゲートに制御信号が接続された第 1 の PMOS トランジスタ (P3) と、ノード A に一端 a が接続され、他端 b が第 1 の NMOS トランジスタ (N4) のドレインに接続されたヒューズ取り付け部と、他端 b と接地電

位との間にドレイン及びソースが接続され、ゲートに前記制御信号が接続された第1のNMOSトランジスタ(N4)と、電源電位と出力ノードBとの間にソース及びドレインが接続され、ゲートに前記制御信号が接続された第2のPMOSトランジスタ(P4)と、ノードBに一端が接続され、他端が第2のNMOSトランジスタ(N5)のドレインに接続された基準抵抗と、基準抵抗の他端と接地電位との間にドレイン及びソースが接続され、ゲートに制御信号が接続された第2のNMOSトランジスタ(N5)と、電源電位とノードCとの間に直列接続されたPMOSトランジスタ(P2)及びNMOSトランジスタ(N2)により構成され、そのゲートが共通接続されて前記ノードAに接続された第1のインバータ回路と、電源電位とノードCとの間に直列接続されたPMOSトランジスタ(P1)及びNMOSトランジスタ(N1)により構成され、そのゲートが共通接続されて前記ノードBに接続された第2のインバータ回路と、ノードCと接地電位との間にドレイン及びソースが接続され、ゲートに前記制御信号が接続された第3のNMOSトランジスタ(N3)と、を備え、制御信号を初期状態において所定レベルに設定することによりノードA,Bをプリチャージし、その後前記制御信号のレベルを変化させた時の前記ノードBの電位レベルにより、フューズ取り付け部に取り付けられたフューズの溶断状態を検出するフューズ検出回路が提供される。

【0007】

この構成の回路によれば、フューズ切断の有無を基準抵抗と比較することによって、フューズが一部分だけ溶断された場合でもフューズ切断を判定することが可能となる。従って、レーザー装置能力限界近辺のフューズ寸法を使用できフューズ面積を縮小できる。

【0008】

また、本発明の第2の観点によれば、前述のフューズ取り付け部の端子bと第1のNMOSトランジスタ(N4)との間にNMOSトランジスタ(N6)を、また、基準抵抗の他端と第2のNMOSトランジスタの間にNMOSトランジスタ(N7)とを更に設け、これらのトランジスタN6及びN7のゲート電位をノードA,Bの電位に基づいて制御するフューズ検出回が提供される。

【0009】

この構成の回路によれば、フューズの溶断判定後トランジスタN6、N7がオフするので抵抗素子部や未切断フューズ部での貫通電流を無くすることが可能となる。

【0010】

更に、本発明の第3の観点によれば、電源電位とノードAとの間にソース及びドレインが接続され、ゲートに制御信号が接続された第1のPMOSトランジスタ(P3)と、電源電位とノードBとの間にソース及びドレインが接続され、ゲートに制御信号が接続された第2のPMOSトランジスタ(P4)と、電源電位とノードCとの間に直列接続されたPMOSトランジスタ(P1)及びNMOSトランジスタ(N1)により構成され、そのゲートが共通接続されて出力ノードBに接続された第1のインバータ回路と、電源電位と前記ノードDとの間に直列接続されたPMOSトランジスタ(P2)及びNMOSトランジスタ(N2)により構成され、そのゲートが共通接続されてノードAに接続された第2のインバータ回路と、ノードCに一端aを接続し、他端bをノードEに接続したフューズ取り付け部と、ノードDに一端を接続し、他端をノードEに接続した基準抵抗と、ノードEと接地電位との間にドレイン及びソースが接続され、ゲートに前記制御信号が接続された第1のNMOSトランジスタ(N3)とを備え、制御信号を初期状態において所定レベルに設定することによりノードA、Bをプリチャージし、その後制御信号のレベルを変化させた時のノードBの電位レベルにより、フューズ取り付け部に取り付けられたフューズの溶断状態を検出するフューズ検出回路が提供される。

【0011】

この構成の回路によれば、例えば電源電圧VCCが1.0Vなどの低電圧でも正常動作するという効果が得られる。又、より少ない素子数で構成できる為、レイアウト面積を縮小出来るという効果が得られる。

【0012】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。

【0013】

〔第1の実施の形態〕

図1はこの発明の第1の実施の形態を示すフューズ検出回路の回路図であって

、フューズ素子（フューズ 1）と基準となる抵抗素子（抵抗 1）とPMOSトランジスタ（P1-P4）とNMOSトランジスタ（N1-N5）とCMOSインバータ（INV1）からなる。

【0014】

フューズ 1 の一方の端子 b はトランジスタ N4 の一ドレインに接続され、フューズ 1 の他方の端子 a はトランジスタ N1 のドレインとトランジスタ P1 のドレインとトランジスタ P3 のドレイン、即ち、ノード A に接続される。

【0015】

トランジスタ N4 のソースは基準電位（例えば接地電位）GND に接続され、トランジスタ N1 のソースは、トランジスタ N3 のドレイン（ノード C）に接続され、トランジスタ P1 とトランジスタ P3 のソースは電源電圧 VCC に接続され、トランジスタ N3 のソースは基準電位 GND に接続される。

【0016】

抵抗 1 の一方の端子はトランジスタ N5 のドレインに接続され、抵抗 1 の他方は、トランジスタ N2 のドレインとトランジスタ P2 のドレインとトランジスタ P4 のドレイン、即ちノード B に接続され、また、信号出力用インバータ INV1 のゲートにも接続される。

【0017】

トランジスタ N5 のソースは基準電位 GND に接続され、トランジスタ N2 のソースは、トランジスタ N3 のドレインに接続され、トランジスタ P2 とトランジスタ P4 のソースは電源電圧 VCC に接続される。

【0018】

また、トランジスタ N1、P1 のゲートは共通にノード B に接続され、トランジスタ N2、P2 のゲートは共通にノード A に接続される。このトランジスタ N1、P1 はインバータ回路（第 2 のインバータ回路）を構成し、トランジスタ N2、P2 もインバータ回路（第 1 のインバータ回路）を構成している。トランジスタ P3 と P4 とトランジスタ N3 と N4 と N5 のゲートは、信号 1 に接続される。

【0019】

更に INV1 のゲートはノード B に接続され出力信号 OUT が出力される。また、抵抗 1 の抵抗値はフューズ 1 の未切断時の抵抗値以上ものが使用されている。

【0020】

出力OUTの電位レベルが”L”レベル（例えば接地電位）時フューズ未切断とし、”H”レベル（例えば電源電位）時フューズ切断と判定すると定義する。

【0021】

初期化状態、即ち信号1の電位レベルが”L”レベルの場合、トランジスタP3及びP4がオンし、トランジスタN3、N4、N5はオフする。この時CMOSインバータINV1の入力レベルは”H”レベルとなりインバータINV1のレベルは”L”レベルとなっており初期化時はフューズ未切断の設定となっている。

【0022】

次に、信号1の電位レベルが”L”レベルから”H”レベルへ遷移すると、トランジスタP3及びP4がオフし、トランジスタN3、N4、N5がオンしフューズの状態を判定する。フューズ1が切断されている場合、 $(\text{フューズ1部の抵抗}) > (\text{抵抗1の抵抗})$ という関係になり、前述の第1のインバータ回路の入力であるノードAの電位が”H”レベル、その出力であるノードBの電位が”L”レベルとなるので、インバータINV1のゲート電位レベルは”H”レベルから”L”レベルへ遷移し、出力OUTは”L”レベルから”H”レベルへ遷移しフューズ1は切断していると判定される。

【0023】

一方、フューズ1が未切断の場合は $(\text{フューズ1部の抵抗}) < (\text{抵抗1の抵抗})$ という関係になり、前述の第1のインバータ回路の入力であるノードAの電位が”L”レベル、その出力であるノードBの電位が”H”レベルとなるので、インバータINV1の入力レベルは”H”レベルを維持し、出力レベルは”L”レベルとなるのでフューズ1は未切断であるという判定になる。

【0024】

以上のように第1の実施の形態によれば、フューズ切断の有無を基準抵抗と比較することによって、フューズが一部分だけ溶断された場合でもフューズ切断を判定することが可能となる。従って、レーザー装置能力限界近辺のフューズ寸法を使用できフューズ面積を縮小できる効果がある。

【0025】

[第2の実施の形態]

図2はこの発明の第2の実施の形態を示す回路図であって、フューズ素子（フューズ1）と基準となる抵抗素子（抵抗1）とPMOSトランジスタ（P1-P4）とNMOSトランジスタ（N1-N7）とCMOSインバータ（INV1,2）とCMOS NORゲート（NOR1）からなる。

【0026】

フューズ1の一方の端子bはトランジスタN6のドレインに接続され、フューズ1の他方の端子aはトランジスタN1のドレインとトランジスタP1のドレインとトランジスタP3のドレイン、即ちノードAに接続される。

【0027】

トランジスタN6のソースはトランジスタN4のドレインに接続され、トランジスタN4のソースは基準電位GNDに接続される。また、トランジスタN1のソースは、トランジスタN3のドレイン（ノードC）に接続され、トランジスタP1とP3のソースは電源電圧VCCに接続され、トランジスタN3のソースは基準電位GNDに接続される。

【0028】

抵抗1の一方の端子はトランジスタN7のドレインに接続され、抵抗1の他方の端子は、トランジスタN2のドレインとトランジスタP2、P4のドレイン、即ちノードBに接続される。

【0029】

トランジスタN7のソースはトランジスタN5のドレインに接続され、トランジスタN5のソースは基準電位GNDに接続される。トランジスタN2のソースは、トランジスタN3のドレイン（ノードC）に接続され、トランジスタP2、P4のソースは電源電圧VCCに接続される。

【0030】

また、トランジスタN1、P1のゲートは、前記ノードBに接続され、トランジスタN2、P2のゲートは、前記ノードAに接続される。このトランジスタN1、P1はインバータ回路（第2のインバータ回路）を構成し、トランジスタN2、P2はインバータ回路（第1のインバータ回路）を構成する。トランジスタP3、P4とトランジスタN3、N4、N5のゲートは、信号1に接続される。

【 0 0 3 1 】

更に前記ノードBはインバータINV1のゲートに接続され、端子OUTから出力信号が取り出される。また、ノードAはインバータINV2のゲートに接続され、出力端子OUTbから出力信号が取り出される。

【 0 0 3 2 】

CMOS NORゲートNOR1の2つの入力にはインバータINV1とインバータINV2の出力OUT/OUTbがそれぞれ接続されており、NORゲートNOR1の出力は、トランジスタN6、N7のゲートに接続される。また、抵抗1の抵抗値はフューズ1未切断時の抵抗値以上ものが使用されている。

【 0 0 3 3 】

先ず、出力OUTのレベルが”L”レベル（例えば接地電位）時にフューズ未切断とし、”H”レベル（例えば外部電源電位）時にフューズ切断と判定するものとする。初期状態、即ち信号1のレベルが”L”レベルの場合、トランジスタP3、P4がオンし、トランジスタN3、N4、N5はオフする。この時CMOSインバータINV1、INV2のそれぞれのゲートレベルは共に”H”レベルとなり、それぞれの出力OUT及びOUTbのレベルは共に”L”レベルとなっている。従って、NORゲートの出力レベルは”H”レベルとなっておりトランジスタN6、N7はオン状態にある。

【 0 0 3 4 】

次に、信号1のレベルが”L”レベルから”H”レベルへ遷移すると、トランジスタP3、P4がオフし、トランジスタN3、N4、N5がオンしフューズの状態を判定する。

【 0 0 3 5 】

フューズ1が切断されている場合、（フューズ1部の抵抗）>（抵抗1の抵抗）という関係になり、前述の第1のインバータ回路の入力であるノードAの電位が”H”レベル、その出力であるノードBの電位が”L”レベルとなるため、インバータINV1のゲートレベルは”H”レベルから”L”レベルへ遷移し、出力OUTのレベルは”H”レベルと遷移しフューズ1が切断していると判定される。また、インバータINV2のゲートレベルは”H”レベルを維持するので、出力OUTbのレベルは”L”レベルを維持する。

【 0 0 3 6 】

一方、フューズ1が未切断の場合は（フューズ1部の抵抗）＜（抵抗1の抵抗）という関係になり、前述の第1のインバータ回路の入力であるノードAの電位が”L”レベル、その出力であるノードBの電位が”H”レベルとなるため、インバータINV1のゲートレベルは”H”レベルを維持しているので、出力OUTは”L”レベルを維持し、フューズ1は未切断であると判定される。この時、インバータINV2のゲートレベルは”L”レベルへ遷移し、出力OUTbは”H”レベルへ遷移する。

【0037】

出力OUT又は出力OUTbの一方の電位レベルが”H”レベルに遷移すると、NORゲートNOR1の出力の電位レベルは、”H”レベルから”L”レベルへ遷移しトランジスタN6とトランジスタN7がオフする。

【0038】

以上のように第1の実施の形態ではフューズ判定後の状態において基準部（抵抗素子部）や未切断フューズ部で貫通電流が発生していたが、第2の実施の形態によればフューズの溶断判定後トランジスタN6、N7がオフすることにより抵抗素子部や未切断フューズ部での貫通電流を無くすという効果が得られる。

【0039】

[第3の実施の形態]

図3はこの発明の第3の実施の形態を示す回路図であって、フューズ素子（フューズ1）と基準となる抵抗素子（抵抗1）とPMOSトランジスタ（P1-P4）とNMOSトランジスタ（N1-N3）とCMOSインバータ（INV1）からなる。

【0040】

フューズ1の一方の端子aはトランジスタN1のソース（ノードC）に接続され、フューズ1の他方の端子bはトランジスタN3のドレイン（ノードE）に接続される。トランジスタN1のドレインはトランジスタP1とP3のドレイン、即ちノードAに接続され、トランジスタN3のソースは基準電位GNDに接続され、トランジスタP1とP3のソースは電源電圧VCCに接続される。

【0041】

抵抗1の一方の端子はトランジスタN2のソース（ノードD）に接続され、抵抗1の他方の端子は前記ノードEに接続され、トランジスタN2のドレインはトラン

ジスタP2とP4のドレイン、即ちノードBに接続され、トランジスタP2とトランジスタP4のソースは電源電圧VCCに接続される。

【 0 0 4 2 】

また、トランジスタN1、P1のゲートは、ノードB接続されて第1のインバータ回路を構成し、トランジスタN2、P2のゲートは、ノードAに接続されて第2のインバータ回路を構成する。トランジスタP3とP4とN3のゲートは、信号1に接続される。

【 0 0 4 3 】

更にノードBはインバータINV1のゲートに接続され、その出力が出力端子OUTに接続される。また、抵抗1の抵抗値はフューズ1未切断時の抵抗値以上のものが使用されている。

【 0 0 4 4 】

まず、出力OUTの電位レベルが”L”レベル（例えば接地電位）時にフューズ未切断とし、出力OUTの電位レベルが”H”（例えば外部電源電位）レベル時にフューズ切断と判定するものとする。初期化状態、即ち信号1の電位レベルが”L”レベルの場合、トランジスタP3及びP4がオンし、トランジスタN3はオフする。その状態でインバータINV1のゲート電位レベルは”H”レベルとなりインバータINV1の出力OUTは”L”レベルとなっており初期化時はフューズ未切断の設定となっている。

【 0 0 4 5 】

次に、信号1の電位レベルが”H”レベルへ遷移すると、トランジスタP3及びP4がオフしトランジスタN3がオンしフューズの状態を判定する。

【 0 0 4 6 】

フューズ1が切断されている場合、（フューズ1部の抵抗）>（抵抗1の抵抗）という関係になり、前述の第2のインバータ回路の入力であるノードAの電位が”H”レベル、その出力であるノードBの電位が”L”レベルとなるので、インバータINV1のゲート電位レベルが”L”レベルへ、出力OUTの電位レベルは”H”レベルへと遷移しフューズ1が切断していると判定される。

【 0 0 4 7 】

一方、フューズ1が未切断の場合は（フューズ1部の抵抗）<（抵抗1の抵抗

）という関係になり、前述の第2のインバータ回路の入力であるノードAの電位が”L”レベル、その出力であるノードBの電位が”H”レベルとなるので、インバータINV1のゲート電位レベルは”H”レベルを維持し、出力OUTの電位レベルは”L”レベルを維持しフューズ1は未切断であるという判定になる。

【0048】

例えば電源電圧VCCが1.0Vなどの低電圧の場合、第1または第2の実施の形態では、判定回路で使用しているアンプの応答速度が低下し、アンプが応答する前に抵抗素子抵抗1や未切断フューズ1を介してノードAとノードBのそれぞれの電荷が放電され、ノードAとノードBとの電位差が小さくなり、判定に時間を要するため、電源投入シーケンスで定められている時間内には正常判断出来なくなる。しかしながら、第3の実施の形態のようなアンプ部とフューズ部と基準部（抵抗素子部）を一体化することによって、先のような問題を回避することが可能となり例えば電源電圧VCCが1.0Vなどの低電圧でも正常動作するという効果が得られる。

【0049】

[第4の実施の形態]

第4の実施の形態においては、第1～第3の実施の形態におけるフューズ判定回路の基準抵抗（抵抗1）を未切断フューズ部の抵抗の2倍以上に設定する。その他の構成は第1から第3の実施の形態と同様である。

【0050】

まず、比較回路を効率よく動作させるためには基準値（基準抵抗）から比較する値の差が大きくなる程、安定に且つ高速に動作する。仮にフューズ判定回路における前記基準抵抗（抵抗1）を未切断フューズ部の抵抗と同じに設定すると、フューズ未切断の場合において比較回路は正常に動作しないのは言うまでもない。トランジスタの性能にもよるが、フューズ判定回路における基準抵抗（抵抗1）を未切断フューズ部の抵抗の2倍以上に設定することによって安定した比較回路を実現できる。その他の動作は第1から第3の実施の形態と同様である。

【0051】

本実施の形態においては、フューズの切断、未切断の判定を安定して得ること

が出来るという効果の他に、特に低電圧時においてフューズ判定回路の応答速度の低下を抑制できるという効果が得られる。

【0052】

【発明の効果】

以上詳細に説明したように、請求項1に記載の発明によれば、電源電位とノードAとの間にソース及びドレインが接続され、ゲートに制御信号が接続された第1のPMOSトランジスタ(P3)と、前記ノードAに一端aが接続され、他端bが第1のNMOSトランジスタ(N4)のドレインに接続されたヒューズ取り付け部と、前記他端bと接地電位との間にドレイン及びソースが接続され、ゲートに前記制御信号が接続された第1のNMOSトランジスタ(N4)と、前記電源電位と出力ノードBとの間にソース及びドレインが接続され、ゲートに前記制御信号が接続された第2のPMOSトランジスタ(P4)と、前記ノードBに一端が接続され、他端が第2のNMOSトランジスタ(N5)のドレインに接続された基準抵抗と、前記基準抵抗の他端と接地電位との間にドレイン及びソースが接続され、ゲートに制御信号が接続された第2のNMOSトランジスタ(N5)と、前記電源電位とノードCとの間に直列接続されたPMOSトランジスタ(P2)及びNMOSトランジスタ(N2)により構成され、そのゲートが共通接続されて前記ノードAに接続された第1のインバータ回路と、前記電源電位とノードCとの間に直列接続されたPMOSトランジスタ(P1)及びNMOSトランジスタ(N1)により構成され、そのゲートが共通接続されて前記ノードBに接続された第2のインバータ回路と、前記ノードCと接地電位との間にドレイン及びソースが接続され、ゲートに前記制御信号が接続された第3のNMOSトランジスタ(N3)と、を備え、前記制御信号を初期状態において所定レベルに設定することにより前記ノードA,Bをプリチャージし、その後前記制御信号のレベルを変化させた時の前記ノードBの電位レベルにより、前記フューズ取り付け部に取り付けられたフューズの溶断状態を検出する構成としたので、フューズが一部分だけ溶断された場合でもフューズ切断を判定することが可能となる。従って、レーザー装置能力限界近辺のフューズ寸法を使用できフューズ面積を縮小できる。

【0053】

また、請求項2に記載の発明によれば、請求項1記載の発明において、前記フ

ューズ取り付け部の端子bと前記第 1 のNMOSトランジスタ(N4)との間にNMOSトランジスタ(N6)を、また、前記基準抵抗の他端と第 2 のNMOSトランジスタの間にNMOSトランジスタ(N7)とを更に設け、これらのトランジスタN6及びN7のゲート電位を前記ノードA,Bの電位に基づいて制御する構成としたので、フューズの溶断判定後トランジスタN6、N7がオフすることにより抵抗素子部や未切断フューズ部での貫通電流を無くすることができる。

【 0 0 5 4 】

更に、請求項 3 に記載の発明によれば、電源電位とノードAとの間にソース及びドレインが接続され、ゲートに制御信号が接続された第 1 のPMOSトランジスタ(P3)と、前記電源電位とノードBとの間にソース及びドレインが接続され、ゲートに前記制御信号が接続された第 2 のPMOSトランジスタ(P4)と、前記電源電位とノードCとの間に直列接続されたPMOSトランジスタ(P1)及びNMOSトランジスタ(N1)により構成され、そのゲートが共通接続されて出力ノードBに接続された第 1 のインバータ回路と、前記電源電位と前記ノードDとの間に直列接続されたPMOSトランジスタ(P2)及びNMOSトランジスタ(N2)により構成され、そのゲートが共通接続されて前記ノードAに接続された第 2 のインバータ回路と、前記ノードCに一端aを接続し、他端bをノードEに接続したフューズ取り付け部と、前記ノードDに一端を接続し、他端をノードEに接続した基準抵抗と、前記ノードEと接地電位との間にドレイン及びソースが接続され、ゲートに前記制御信号が接続された第 1 のNMOSトランジスタ(N3)と、を備え、前記制御信号を初期状態において所定レベルに設定することにより前記ノードA,Bをプリチャージし、その後前記制御信号のレベルを変化させた時の前記ノードBの電位レベルにより、前記フューズ取り付け部に取り付けられたフューズの溶断状態を検出する構成としたので、例えば電源電圧VCCが1.0Vなどの低電圧でも正常動作するという効果が得られる。

【図面の簡単な説明】

【図 1】

この発明の第 1 の実施の形態における回路図である。

【図 2】

この発明の第 2 の実施の形態における回路図である。

【図 3】

この発明の第 3 の実施の形態における回路図である。

【符号の説明】

P1, P2, P3, P4 PMOS トランジスタ

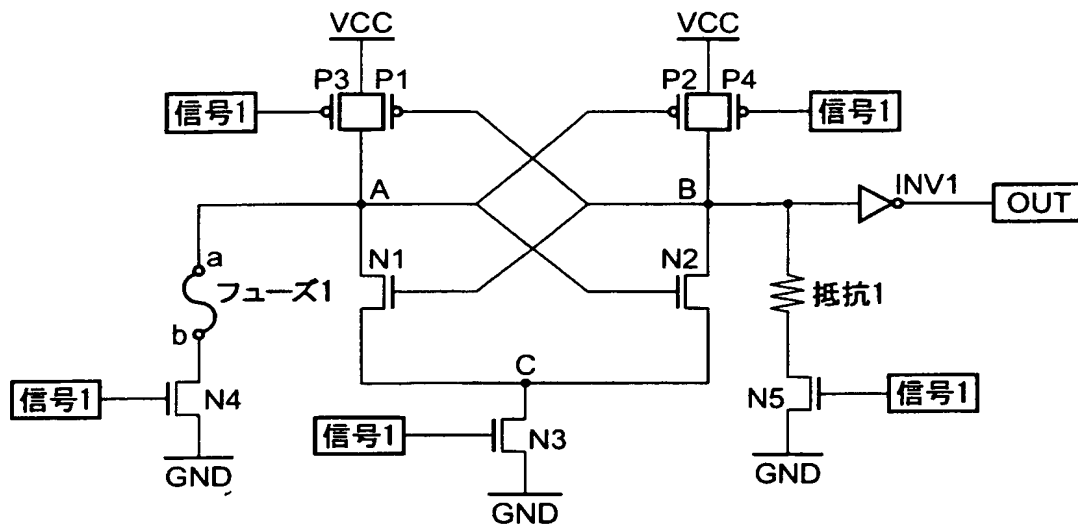
N1, N2, N3, N4, N5, N6, N7 NMOS トランジスタ

INV1, INV2 CMOS インバータ

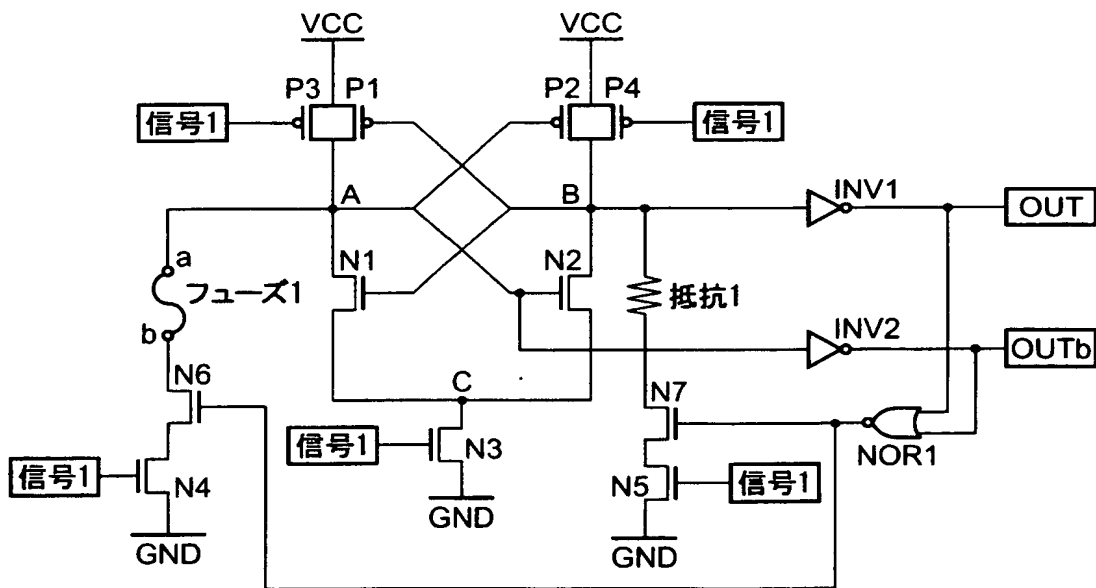
NOR1 CMOS NOR ゲート

【書類名】 図面

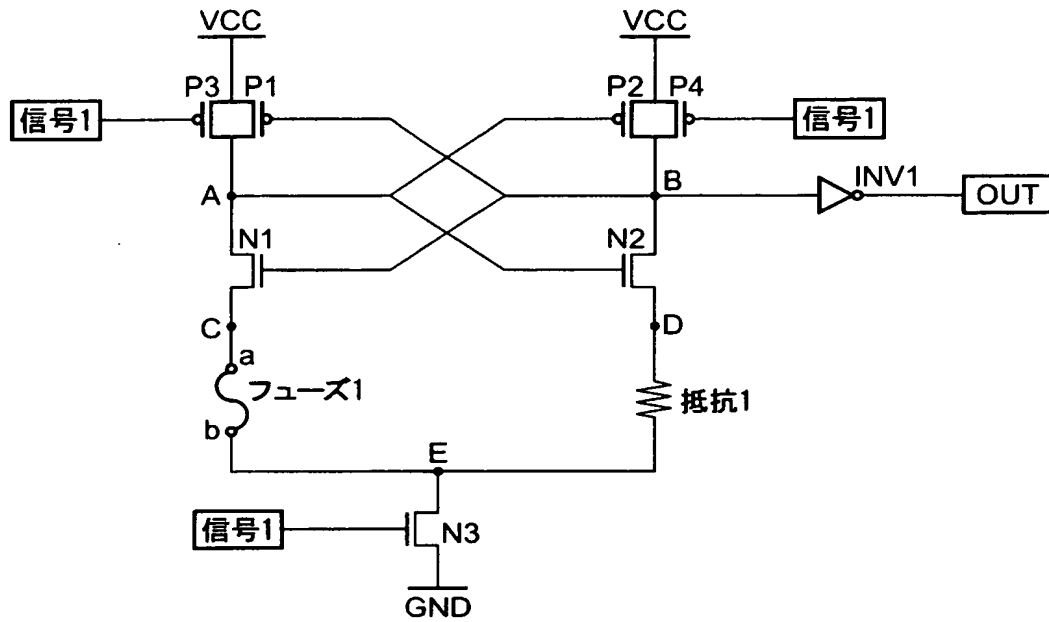
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 回路が誤動作することのないフューズ検出回路を提供する。

【解決手段】 フューズ取り付け部に取り付けたフューズの溶断状態を判定回路で判定するフューズ検出回路において、判定回路には、ノードAの電位を入力するトランジスタP2,N2から成るインバータ回路と、ノードBの電位を入力するトランジスタP1,N1から成るインバータ回路を含む差動型の比較判定回路を使用し、基準抵抗と溶断後のフューズの抵抗値との差に基づいて、制御信号を”L”レベルから”H”レベルに変化させた時のノードBの電位を検出する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 3 5 6 0 0
受付番号	5 0 3 0 0 7 9 8 4 7 5
書類名	特許願
担当官	第一担当上席 0 0 9 0
作成日	平成 1 5 年 5 月 1 5 日

< 認定情報・付加情報 >

【提出日】	平成15年 5月14日
-------	-------------

次頁無

特願 2 0 0 3 - 1 3 5 6 0 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名

沖電気工業株式会社